



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002133862 A**(43) Date of publication of application: **10.05.02**

(51) Int. Cl. **G11C 11/406**
G11C 11/401

(21) Application number: **2000331451**(71) Applicant: **NEC CORP**(22) Date of filing: **30.10.00**(72) Inventor: **TAKAHASHI HIROYUKI**

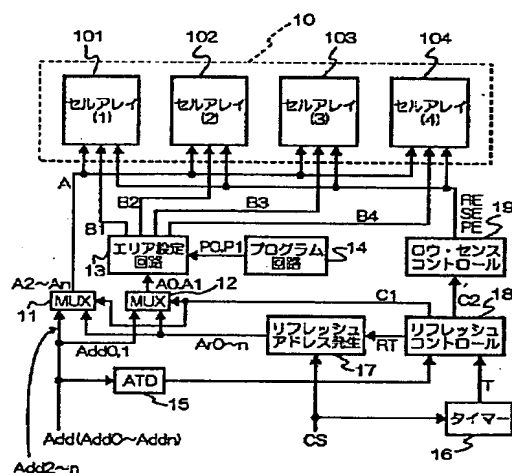
(54) **SEMICONDUCTOR MEMORY AND ITS
 MANUFACTURING METHOD**

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory and its manufacturing method in which average current consumption in a standby state can be reduced.

SOLUTION: This device is provided with a DRAM type memory cell array 10 divided into four area (cell array (1)-(4)), a timer 16 generating selectively clock signals of two kinds of a short period and a long period as an output T, a refresh-address generation circuit 17 generating a refresh-address Ar by synchronizing with the outputting signal T of the timer 16, multiplexers 11, 12 selecting either of an external address Add and a refresh-address Ar and outputting it as an address A, and an area setting circuit 13 setting arbitrarily correspondence relation between upper two bits A0, A1 of the address A and the four cell arrays (1)-(4) in accordance with a program state of a program circuit 14, a cell array selected as for holding data is enabled to set to an array having a good hold-characteristic out of the cell arrays (1)-(4) when a standby mode is set by a chip select-signal CS.



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2002-133862
(P 2002-133862 A)
(43)公開日 平成14年 5月10日(2002.5.10)

(51)Int.Cl. ⁷	識別記号	F I		テ-マコード (参考)
G11C 11/406		G11C 11/34	363	K 5B024
11/401			363	L
			371	D

審査請求 未請求 請求項の数 9 O L (全13頁)

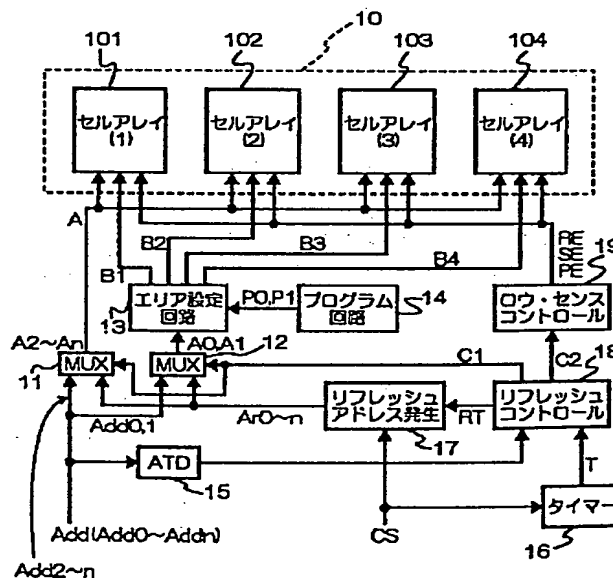
(21)出願番号	特願2000-331451(P 2000-331451)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目 7 番 1 号
(22)出願日	平成12年10月30日(2000.10.30)	(72)発明者	高橋 弘行 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
		(74)代理人	100108578 弁理士 高橋 詔男 (外 3 名)
		F ターム(参考)	5B024 AA01 BA18 BA21 BA29 CA01 CA07 CA16 DA08 DA20

(54)【発明の名称】半導体記憶装置及びその製造方法

(57)【要約】

【課題】スタンバイ状態における平均消費電流を低減することができる半導体記憶装置を提供する。

【解決手段】4つのエリア(セルアレイ(1)~(4))に分割されたDRAM型のメモリセルアレイ10と、出力Tとして短周期と長周期の2種類のクロック信号を選択的に発生するタイマー16と、タイマー16の出力信号Tに同期してリフレッシュ用のアドレスArを発生するリフレッシュアドレス発生回路17と、外部アドレスAddとリフレッシュアドレスArのいずれか一方を選択してアドレスAとして出力するマルチプレクサ11,12と、プログラム回路14のプログラム状態に応じてアドレスAの上位2ビットA0,A1と4つのセルアレイ(1)~(4)との対応関係を任意に設定するエリア設定回路13とを設けて、チップセレクト信号CSでスタンバイモードが設定されたときにデータ保持用として選択されるセルアレイをセルアレイ(1)~(4)のうちのホールド特性の良いものに設定可能とする。



【特許請求の範囲】

【請求項 1】 複数のダイナミック型メモリセルを有し少なくとも 2 つのエリアに分割されたメモリセルアレイを含む半導体記憶装置において、

第 1 のリフレッシュ用制御信号と前記第 1 のリフレッシュ用制御信号よりも長い周期の第 2 のリフレッシュ用制御信号とを発生するリフレッシュ用制御信号発生手段と、

前記複数のエリアからメモリセルのホールド特性に基づいて決められた任意のエリアを第 1 のエリアとして設定するプログラム可能な第 1 の設定手段と、

待機状態において前記第 1 のエリアに対して前記第 2 のリフレッシュ用制御信号に基づくリフレッシュ動作を行うリフレッシュ動作制御手段とを備えることを特徴とする半導体記憶装置。

【請求項 2】 複数のダイナミック型メモリセルを有し少なくとも 2 つのエリアに分割されたメモリセルアレイを含む半導体記憶装置において、

第 1 のリフレッシュ用制御信号と前記第 1 のリフレッシュ用制御信号よりも長い周期の第 2 のリフレッシュ用制御信号とを発生するリフレッシュ用制御信号発生手段と、

前記複数のエリアから任意のエリアを第 1 のエリアとして設定するプログラム可能な第 1 の設定手段と、

前記メモリセルを選択する第 1 のアドレス信号が予め決められた第 1 のアドレス範囲内にあるときには前記第 1 のアドレス信号を前記第 1 のエリアに含まれる第 2 のアドレス信号に変換し、前記第 1 のアドレス信号が前記第 1 のアドレス範囲内になくときには前記第 1 のアドレス信号を前記第 1 のエリア以外のエリアに含まれる第 3 の

アドレス信号に変換するアドレス変換手段と、待機状態において前記第 1 のエリアに対して前記第 2 のリフレッシュ用制御信号に基づくリフレッシュ動作を行うリフレッシュ動作制御手段とを備えることを特徴とする半導体記憶装置。

【請求項 3】 複数のダイナミック型メモリセルを有し少なくとも 2 つのエリアに分割されたメモリセルアレイを含む半導体記憶装置において、

第 1 のリフレッシュ用制御信号と前記第 1 のリフレッシュ用制御信号よりも長い周期の第 2 のリフレッシュ用制御信号とを発生するリフレッシュ用制御信号発生手段と、

前記複数のエリアから任意のエリアを第 1 のエリアとして設定するプログラム可能な第 1 の設定手段と、

前記メモリセルを選択する第 1 のアドレス信号の所定上位のビットが予め決められた第 1 のアドレス範囲内にあるときには前記第 1 のアドレス信号の前記所定ビットを除いたビットを用いて前記第 1 のエリアへアクセスするよう制御し、前記第 1 のアドレス信号が前記第 1 のアドレス範囲内になくときには前記第 1 のエリア以外のエ

リアへアクセスするよう制御する制御手段と、

待機状態において前記第 1 のエリアに対して前記第 2 のリフレッシュ用制御信号に基づくリフレッシュ動作を行うリフレッシュ動作制御手段とを備えることを特徴とする半導体記憶装置。

【請求項 4】 所定の信号に応答して活性化し、活性化状態において入力された第 4 のアドレス信号に基づいて前記第 1 のアドレス範囲を設定する第 2 の設定手段をさらに備えることを特徴とする請求項 2 または 3 記載の半導体記憶装置。

【請求項 5】 前記第 1 の設定手段が、前記複数のエリアからメモリセルのホールド特性に基づいて決められた任意のエリアを前記第 1 のエリアとして設定することを特徴とする請求項 2 ～ 4 のいずれか 1 項記載の半導体記憶装置。

【請求項 6】 前記リフレッシュ動作制御手段が、非待機状態において、前記第 1 のエリアに対しては前記第 1 または第 2 のリフレッシュ用制御信号に基づくリフレッシュ動作を行い、前記第 1 のエリア以外のエリアに対しては前記第 1 のリフレッシュ用制御信号に基づくリフレッシュ動作を行うことを特徴とする請求項 1 ～ 5 のいずれか 1 項半導体記憶装置。

【請求項 7】 前記リフレッシュ動作制御手段が、非待機状態において、前記第 1 のエリアと前記第 1 のエリア以外のエリアとに対して前記第 1 のリフレッシュ用制御信号に基づくリフレッシュ動作を行うことを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の半導体記憶装置。

【請求項 8】 前記第 1 の設定手段が、過電流で切断されるフューズを有し、前記フューズを切断することで、前記複数のエリアから任意のエリアを前記第 1 のエリアとして設定することを特徴とする請求項 1 ～ 7 のいずれか 1 項記載の半導体記憶装置。

【請求項 9】 請求項 1 ～ 8 のいずれか 1 項記載の半導体記憶装置の製造方法であって、前記メモリセルアレイのホールド特性の測定結果に応じて前記第 1 の設定手段をプログラムする過程を含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリセルアレイが DRAM (ダイナミック・ランダム・アクセス・メモリ) から構成されている半導体記憶装置及びその製造方法に係り、特にスタンバイ状態に対応した動作モードを有する半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、携帯電話などに代表される携帯機器では、多機能化が進み、それに伴って必要となる RAM (ランダム・アクセス・メモリ) の容量が増大する傾向にある。そのため、これまで用いられてきた消費電流

がより小さい特徴を有するSRAM(スタティックRAM)に代えて、大容量化により適したDRAMを使用したいというニーズが発生してきている。しかしながら、DRAMを使用する場合、DRAMはデータを保持するためにリフレッシュ動作が必要となるため、特にスタンバイ状態におけるリフレッシュ電流の低減が課題となる。

【0003】DRAMにおけるリフレッシュ電流は、DRAMを構成するメモリセルアレイの各セルに対するリフレッシュ動作の時間間隔、すなわちリフレッシュサイクルの長さによって決定され、リフレッシュサイクルが長いほど小さくなる。このリフレッシュサイクルは、メモリセルアレイを構成する複数のメモリセルのうち、ホールド特性の最も悪いセル(ワーストビット)で決定される。つまり、ワーストビットのセルでもデータを保持できるように、そのホールド時間よりもリフレッシュサイクルの長さを短くしなければならない。図7に示したグラフのように、横軸にホールド時間を取り、縦軸にメモリセル数をとると、一般に、メモリセル全体の中ではホールド時間の悪いセルよりもホールド時間の良いセルが圧倒的に多く、大部分のセルのホールド時間はワーストビットのセルのホールド時間に比べて一桁以上良い(長い)傾向が見られる。しかしながら、リフレッシュサイクルは図示したようにワーストビットのセルのホールド時間によって決まるため、リフレッシュ時に大部分のセルに対しては必要となる平均電流よりも大きな平均電流を流していることになる。

【0004】図7に示すような大部分のセルに対する不要なリフレッシュ電流の削減を図った従来の技術の一例が特許第2546161号公報(特開平6-89571号公報)に記載されている。この公報に記載されている半導体記憶装置には、製造工程におけるウェハ段階のDRAMのブローピングテストで測定したホールド特性に基づいて、行アドレス毎に、特性が悪いセルには通常のリフレッシュサイクルでリフレッシュ動作を実施し、それ以外のセルには長いリフレッシュサイクルでリフレッシュ動作を実施するための制御回路が設けられている。リフレッシュサイクルの切り換えは、外部から供給されるリフレッシュ信号を直接リフレッシュ用の回路に与えるか、あるいはカウンタを介して周期を長くした後にリフレッシュ回路に与えるかすることで行われる。その際、どちらの信号を用いるかという設定は、製造工程において行アドレス毎に設けられている配線をレーザーを利用して切断することでプログラミングしたり、あるいはプログラマブルROM(リード・オンリ・メモリ)にホールド特性に対応したデータを行アドレス単位で書き込んでおき、動作時に行アドレス毎それを読み出して、読み出したデータに基づいて行われるようになっている。

【0005】一方、上述したような半導体記憶装置を搭

載する携帯機器側では、動作仕様に応じて半導体記憶装置に記憶するデータの保持方法が分類されることがある。例えば、携帯電話の場合、重要なデータがあればそれはまずフラッシュメモリに書き込みに行く。それによって重要なデータはスタンバイかどうかに関わらずデータを保持することが可能となる。例えば、電話番号簿のようなデータは非常に重要なので、RAM(揮発性メモリ)に入れずにフラッシュメモリに入れられる。他方RAMの用途は、例えば2つに分割され、一つはワーク領域としてCPU(中央処理装置)によって種々の処理の際に一時的に使用される(CPU内にもメモリはあるが非常に容量が小さい)短期保存用と、長期保存用とに分類される。携帯電話における待ち受け時の状態では、外部から入ってくる情報は少ないが、ユーザーが携帯電話を使用していない間にもCPUが隠れた状態で処理をすることがある。例えば、料金の計算や基地局とのやりとりを行っている。こうした処理に使用されるデータは、長期保存用のメモリに保持し、スタンバイ時においても消えないようにしておく必要がある。ここで、データの値がスタンバイ時において不変であればフラッシュメモリに書き込むことも考えられるが、処理の際に読み書きするような場合、フラッシュメモリではアクセスタイムが遅く処理に時間がかかるのでRAMが望ましい。

【0006】上記の様な機器側の使用条件を考慮してスタンバイ時のDRAMの消費電流の低減を図った従来の技術の一例が、特開平11-213658号公報および特開2000-21162号公報に記載されている。これらの公報に記載されている半導体記憶装置では、メモリセルアレイを複数の領域に分割し、スタンバイ時にメモリ領域全体をリフレッシュするのではなく、一部分だけをリフレッシュするようにしている。メモリセルアレイを幾つかの領域に分割し、例えば、2つのメモリ領域のうち重要な情報が保持されている領域だけをリフレッシュして、重要でない情報が保持されている領域はリフレッシュしないようにしたり、RCB(リフレッシュ制御ビット)の値を外部から指定することによって、メモリセル領域のどの領域をリフレッシュするかを設定可能としたりしている。

【0007】

【発明が解決しようとする課題】上述した従来の技術において、一方、ホールド特性を考慮し、行アドレス毎にリフレッシュサイクルを切り換えるものでは、特にDRAMの記憶容量を大きくしようとした場合、切り換えのための回路や切り替えの基準となるデータを保持するための回路の規模が大きくなってしまったり、それらのデータの読み出しに時間が掛かってしまったり、それらの回路を動作させるために消費電流が大きくなってしまいうという課題が考えられる。他方、特開平11-213658号公報、特開2000-21162号公報等に記載されている技術では、搭載する機器側の動作モードに適

した動作モードを有してはいるものの、メモリセルのホールド特性に対する考慮がなされていないという課題があった。

【0008】そこで、本発明は、上述したよう従来の技術における課題の解決を図り、スタンバイ状態に対応した動作モードを有する半導体記憶装置において、スタンバイ状態における平均消費電流を従来よりも低減することができる半導体記憶装置及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、複数のダイナミック型メモリセルを有し少なくとも2つのエリアに分割されたメモリセルアレイを含む半導体記憶装置において、第1のリフレッシュ用制御信号と前記第1のリフレッシュ用制御信号よりも長い周期の第2のリフレッシュ用制御信号とを発生するリフレッシュ用制御信号発生手段と、前記複数のエリアからメモリセルのホールド特性に基づいて決められた任意のエリアを第1のエリアとして設定するプログラム可能な第1の設定手段と、待機状態において前記第1のエリアに対して前記第2のリフレッシュ用制御信号に基づくリフレッシュ動作を行うリフレッシュ動作制御手段とを備えることを特徴とする。

【0010】請求項2記載の発明は、複数のダイナミック型メモリセルを有し少なくとも2つのエリアに分割されたメモリセルアレイを含む半導体記憶装置において、第1のリフレッシュ用制御信号と前記第1のリフレッシュ用制御信号よりも長い周期の第2のリフレッシュ用制御信号とを発生するリフレッシュ用制御信号発生手段と、前記複数のエリアから任意のエリアを第1のエリアとして設定するプログラム可能な第1の設定手段と、前記メモリセルを選択する第1のアドレス信号が予め決められた第1のアドレス範囲内にあるときには前記第1のアドレス信号を前記第1のエリアに含まれる第2のアドレス信号に変換し、前記第1のアドレス信号が前記第1のアドレス範囲内になくときには前記第1のアドレス信号を前記第1のエリア以外のエリアに含まれる第3のアドレス信号に変換するアドレス変換手段と、待機状態において前記第1のエリアに対して前記第2のリフレッシュ用制御信号に基づくリフレッシュ動作を行うリフレッシュ動作制御手段とを備えることを特徴とする。請求項3記載の発明は、複数のダイナミック型メモリセルを有し少なくとも2つのエリアに分割されたメモリセルアレイを含む半導体記憶装置において、第1のリフレッシュ用制御信号と前記第1のリフレッシュ用制御信号よりも長い周期の第2のリフレッシュ用制御信号とを発生するリフレッシュ用制御信号発生手段と、前記複数のエリアから任意のエリアを第1のエリアとして設定するプログラム可能な第1の設定手段と、前記メモリセルを選択する第1のアドレス信号の所定上位のビットが予め決めら

れた第1のアドレス範囲内にあるときには前記第1のアドレス信号の前記所定ビットを除いたビットを用いて前記第1のエリアへアクセスするよう制御し、前記第1のアドレス信号が前記第1のアドレス範囲内になくときには前記第1のエリア以外のエリアへアクセスするよう制御する制御手段と、待機状態において前記第1のエリアに対して前記第2のリフレッシュ用制御信号に基づくリフレッシュ動作を行うリフレッシュ動作制御手段とを備えることを特徴とする。請求項4記載の発明は、請求項2または3記載の半導体記憶装置において、所定の信号にตอบสนองして活性化し、活性化状態において入力された第4のアドレス信号に基づいて前記第1のアドレス範囲を設定する第2の設定手段をさらに備えることを特徴とする。

【0011】請求項5記載の発明は、請求項2～4のいずれか1項記載の半導体記憶装置において、前記第1の設定手段が、前記複数のエリアからメモリセルのホールド特性に基づいて決められた任意のエリアを前記第1のエリアとして設定することを特徴とする。請求項6記載の発明は、請求項1～5のいずれか1項半導体記憶装置において、前記リフレッシュ動作制御手段が、非待機状態において、前記第1のエリアに対しては前記第1または第2のリフレッシュ用制御信号に基づくリフレッシュ動作を行い、前記第1のエリア以外のエリアに対しては前記第1のリフレッシュ用制御信号に基づくリフレッシュ動作を行うことを特徴とする。請求項7記載の発明は、請求項1～5のいずれか1項記載の半導体記憶装置において、前記リフレッシュ動作制御手段が、非待機状態において、前記第1のエリアと前記第1のエリア以外のエリアとに対して前記第1のリフレッシュ用制御信号に基づくリフレッシュ動作を行うことを特徴とする。請求項8記載の発明は、請求項1～7のいずれか1項記載の半導体記憶装置において、前記第1の設定手段が、過電流で切断されるフューズを有し、前記フューズを切断することで、前記複数のエリアから任意のエリアを前記第1のエリアとして設定することを特徴とする。請求項9記載の発明は、請求項1～8のいずれか1項記載の半導体記憶装置の製造方法であって、前記メモリセルアレイのホールド特性の測定結果に応じて前記第1の設定手段をプログラムする過程を含むことを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して本発明による半導体記憶装置の実施の形態について説明する。図1は、本発明による半導体記憶装置の一実施の形態の構成を示すブロック図である。本実施形態の半導体記憶装置は、メモリセルアレイ10を分割構成する4個のセルアレイ(1)101、セルアレイ(2)102、セルアレイ(3)103、およびセルアレイ(4)104と、メモリセルアレイ10へのアクセスを制御するための図1に示す各構成要素と、図示を省略したデータバス、アド

10

20

30

40

50

レスラッチ回路等の他の回路とから構成されている。

【0013】セルアレイ (1) 101~(4) 104 は、複数の DRAM セルと、各 DRAM セルに接続されたロウデコーダ、カラムデコーダ、センスアンプ・リセット回路、ブースト電源、基盤電圧発生回路、およびリファレンス電圧発生回路とをそれぞれ有して構成されていて、アドレス A およびセルアレイ選択信号 B1~B4 で指定されるメモリセルに対して、センスアンプを介して図示していないデータバス上のデータを書き込んだり、データバス上にデータを読み出したり、あるいはリフレッシュ動作を実行したりする。この場合、ブースト電源、基盤電圧発生回路、およびリファレンス電圧発生回路は、セルアレイ (1) ~ (4) 毎に設けられ、対応するセルアレイ選択信号 B1~B4 がアクティブなときのみ動作させられるようになっている。ただし、これらの回路はすべてのセルアレイに対して共通に設けるようにしてもよい。

【0014】セルアレイ (1) 101~(4) 104 の各構成要素は、従来の DRAM セルの構成要素と同様に構成されている。各 DRAM セルは、1つのトランジスタと1つのキャパシタから構成されていて、行方向および列方向に形成された複数のワード線およびビット線 (またはビット線対; 以下同じ) のいずれかの交点の位置に行列状に配置されている。ロウデコーダは、ロウ・センスコントロール 19 から供給されるロウイネーブル信号 RE がアクティブのときにアドレス A に含まれるローアドレスをデコードし、デコード結果で指定されたワード線を活性化させる。カラムデコーダはアドレス A に含まれる列アドレスをデコードし、デコード結果で指定されたビット線を選択するためのカラム選択信号を生成する。センスアンプ・リセット回路はセンスアンプ、カラムスイッチおよびプリチャージ回路から構成されている。これらのうち、カラムスイッチはカラムデコーダの出力するカラム選択信号で指定されたセンスアンプとデータバスの間を接続する。センスアンプはセンスアンプイネーブル信号 SE がアクティブのとき、アドレス A で特定されるメモリセルの接続されたビット線電位をセンス・増幅してデータバスに出力し、あるいは、データバスに供給された書き込みデータをビット線経由でメモリセルに書き込む。リセット回路はプリチャージイネーブル信号 PE がアクティブのときに、ビット線の電位を所定電位 (例えば電源電位の $1/2$) にプリチャージする。

【0015】また、セルアレイ (1) 101~(4) 104 にそれぞれ設けられているブースト電源、基盤電圧発生回路、リファレンス電圧発生回路は次のような機能を有している。ブースト電源は各メモリセルに接続されているワード線に印加される昇圧電位をロウデコーダに供給する。基盤電圧発生回路は各メモリセルが形成されたウエルまたは半導体基板に印加される基板電圧を発生さ

せる。リファレンス電圧発生回路はメモリセルアレイ、センスアンプ・リセット回路内のセンスアンプやプリチャージ回路・イコライズ回路が使用するリファレンス電圧 (例えば電源電位の $1/2 = 1/2 V_{cc}$) を発生させる。

【0016】マルチプレクサ 11 とマルチプレクサ 12 は、リフレッシュコントロール 18 から出力される制御信号 C1 に基づいて、半導体記憶装置外部から供給される $n+1$ ビットのアクセスアドレス Add と、リフレッシュアドレス発生 (回路) 17 で発生される $n+1$ ビットのリフレッシュアドレス Ar0~n のいずれか一方を選択して、メモリセルアレイ 10 に供給される $n-1$ ビットのアドレス A (A2~n) およびエリア設定回路 13 に供給される 2 ビットのアドレス A0, 1 として出力する。ここで、マルチプレクサ 11 は、半導体記憶装置外部から供給される $n+1$ ビットのアクセスアドレス Add のうちの下位 $n-1$ ビットのアドレス Add2~n と、リフレッシュアドレス発生 (回路) 17 で発生される $n+1$ ビットのリフレッシュアドレス Ar0~n のうち下位 $n-1$ ビットのアドレス Ar2~n のいずれか一方を選択して、メモリセルアレイ 10 に供給される $n-1$ ビットのアドレス A (A2~n) として出力する。マルチプレクサ 12 は、制御信号 C1 に基づいて、アクセスアドレス Add のうちの上位 2 ビットのアドレス Add0, 1 と、リフレッシュアドレス Ar0~n のうちの上位 2 ビットのアドレス Ar0, 1 のいずれか一方を選択して、アドレス A0, 1 として出力する。

【0017】エリア設定回路 13 は、2 ビットのアドレス信号 A0, A1 に基づいて、セルアレイ選択信号 B1~B4 のいずれかを選択し、各信号をアクティブ状態とする。ここでアドレス信号 A0, A1 に基づく、セルアレイ選択信号 B1~B4 の選択方法は、プログラム回路 14 のプログラム状態に基づいて設定される。エリア設定回路 13 とプログラム回路 14 の構成例について図 2 を参照して説明する。

【0018】図 2 に示すエリア設定回路 13 には、各 1 組の P-MOS トランジスタおよび N-MOS トランジスタから構成されているトランスファークロップ 1301, 1302 とインバータ 1303 とから構成されているセレクト回路と、同様にトランスファークロップ 1305, 1306 とインバータ 1307 とから構成されているセレクト回路とが設けられている。それらのセレクト回路はそれぞれ、プログラム回路 14 の出力 P0, P1 に基づいて、信号 A1 またはそれをインバータ 1304 で反転した信号のいずれか、あるいは、信号 A0 またはそれをインバータ 1308 で反転した信号のいずれかを選択して出力する。各セレクト回路の出力は、直接あるいはインバータ 1313, 1314 を介して、4 個の 2 入力 AND 1309, 1310, 1311, 1312 に入力される。この構成において、アドレス信号 A0, A

1 が入力されると、AND1309、1310、1311、1312 の出力であるメモリアレイ選択信号 B1、B2、B3、B4 のいずれかが選択されてアクティブにされる。この場合、アドレス信号 A0、A1 と、選択されるメモリアレイ選択信号 B1、B2、B3、B4 との設定は、信号 P0、P1 の値に基づいて図3に示すように設定される。

【0019】図3は、図2に示すアドレス信号 A0、A1、プログラム回路14の出力信号 P0、P1、およびメモリアレイ選択信号 B1、B2、B3、B4 の関係を示す図であり、図において B1～B4 と記入された欄は B1～B4 がアクティブになることを示している。例えば、アドレス信号 A0、A1 が 0、0 の場合は、P1=1、P0=1 のときメモリアレイ選択信号 B1 がアクティブとなり、P1=1、P0=0 のときメモリアレイ選択信号 B2 がアクティブとなり、P1=0、P0=1 のときメモリアレイ選択信号 B3 がアクティブとなり、そして、P1=0、P0=0 のときメモリアレイ選択信号 B4 がアクティブとなる。すなわち、同一のアドレス A0、A1 に対して、選択される（対応する）メモリセルアレイ (1) 101～(4) 104 は、信号 P0、P1 の状態に応じて任意に切り換えられる。

【0020】一方、図2に示すプログラム回路14は、フューズ回路1401、抵抗回路1402、インバータ1403、1404、およびトランジスタ1405から構成されている出力 P0 用のプログラム部と、フューズ回路1406、抵抗回路1407、インバータ1408、1409、およびトランジスタ1410から構成されている出力 P1 用のプログラム部とから構成されている。フューズ回路1401、1406 は、製造過程における例えばブローピングテストの段階で、レーザや過電流（過電圧）によって切断可能な回路であって、配線、抵抗素子や、トランジスタ、ダイオード等のアクティブ素子を用いて構成されている。フューズ回路1401、1402 が切断されていない状態ではインバータ1404、1409 の入力が “1” となるので出力 P0、P1 は “1” となる。一方、フューズ回路1401 が切断された場合は出力 P0 が “0” に設定され、フューズ回路1406 が切断された場合は出力 P1 が “0” に設定される。このように本実施形態においては、出力 P0、P1 の状態が、半導体記憶装置の製造過程で半導体記憶装置毎に任意に設定可能となっている。

【0021】従来の技術で述べたように、本実施形態の半導体記憶装置が適用可能な携帯電話では、スタンバイ状態において、メモリセルアレイ10の全領域ではなく所定のアドレス範囲の一部の領域のみのデータを保持できればよいというものがある。そのような携帯電話からの要求仕様は、例えば外部アドレス Add の上位 2 ビット Add0、1 がともに 0 となる全領域の 4 分の 1 に対応する領域をスタンバイ状態におけるデータ保持領域に

指定し、かつスタンバイ状態における消費電流を、動作状態（非スタンバイ状態）における消費電流よりも小さい所定の値以下に維持するようというかたちで与えられる。図7を参照して説明したように、メモリセルの製造品質を考えた場合、メモリセルの一部の領域でホールド特性が良好でない場合でも、残りの大部分の領域のホールド特性は良好であるということが多い。すなわち、例えばメモリセルを 4 つの領域に分割した場合に、1 または 2 つの領域にホールド特性の悪いメモリセルがあったとしても、残りの 3 または 2 つの領域のメモリセルはすべてホールド特性を満足できるという可能性が少なからず発生する。上述したように本実施形態では、プログラム回路14をプログラムすることでアドレス Add0、1=0、0 に対応するメモリ領域を、セルアレイ (1) 101～(4) 104 の 4 つの領域から、半導体記憶装置毎に任意に選択した 1 つの領域に設定することが可能である。つまり、製造過程におけるメモリセルのホールド特性の評価結果に基づいてホールド特性が要求仕様を満足できる領域を選択するようにすれば、4 つの領域の全部がホールド特性の要求仕様を満足できない場合でも、少なくとも 1 つの領域のホールド特性がスタンバイ状態の要求仕様を満足していれば、半導体記憶装置としての要求仕様を満足できることになる。したがって、常に決まったセルアレイをアドレス Add0、1=0、0 に対応する領域とする場合に比べ、製品の良品率を向上させることができる。

【0022】次に、図1の他の回路について説明を行う。図1に示す A T D (Address Transition Detector ; アドレス変化検出) 回路15は、アドレス Add (Add0～n) の何れかに変化が発生したときにワンショットのパルス信号（アドレス変化検出信号）を発生して出力する回路である。

【0023】タイマー16は、例えば図4に示すように、比較的周期の短いクロック信号を発生する高速タイマー1601と、比較的周期の長いクロック信号を発生する低速タイマー1602と、チップセレクト信号 CS に従って高速タイマー1601の出力と低速タイマー1602の出力のいずれかを選択して信号 T として出力する 1 組のトランスファークロップ1603、1604 およびインバータ1605からなるセレクト回路とから構成されている。チップセレクト信号 CS は、外部から供給される信号であって、半導体記憶装置をアクティブモード（非スタンバイモード）にする場合にアクティブ（この例では “1” とする）とされ、スタンバイモードにする場合にディアクティブ（この例では “0” とする）とされる信号である。図4に示す構成では、タイマー16は、出力 T として、チップセレクト信号 CS が “1” のとき周期の短いクロック信号を出力し、“0” のとき周期の長いクロック信号を出力する。この場合、周期の短い信号は、全領域のホールド時間、すなわち図7の例で

はワーストビットのホールド時間よりも短く設定する。

【0024】リフレッシュコントロール18は、ATD15から供給されるアドレス変化検出信号と、タイマー16から供給されるクロック信号Tに基づいて、メモリセルアレイ10のリフレッシュ動作を行うタイミングを決定し、リフレッシュ動作を制御するための制御信号C1、C2およびRTを発生する。各リフレッシュ動作は、アドレス信号に変化が有った場合か、半導体記憶装置が外部から最後にアクセスされてからの経過時間が所定のリフレッシュ時間を越えた場合に実行される。その際、リフレッシュコントロール18内で経過時間を測定するためのリフレッシュタイマはATD15から出力されるアドレス変化検出信号が有効となる度にリセットされて計時を再開するように構成されている。制御信号C1は、マルチプレクサ11、12によって選択されるアドレス信号を切り換える信号であり、リフレッシュ動作を行う期間はアドレス信号Ar0～nが選択され、それ以外の期間に外部から供給されるアドレス信号Add0～nが選択されるように変化される。ただし、チップセレクト信号CSが“0”の場合は、常にC1=“0”となるように制御される。制御信号C2は、複数の信号から構成されるものであって、リフレッシュ動作を行う期間やタイミングを示す信号を含んでいる。制御信号RTは、リフレッシュする各メモリセルを指定するアドレス信号Ar0～nの切り換えタイミングを指示するクロック信号であり、タイマー16から出力される信号Tの周期に同期して変化する。したがって、制御信号RTの周期は、チップセレクト信号CSが“1”のとき短くなり、“0”のとき長くなる。

【0025】リフレッシュアドレス発生(回路)17は、制御信号RTに基づいてn+1ビットのリフレッシュアドレス信号Ar0～nを発生する回路である。リフレッシュアドレス発生回路17は、例えば図5に示すように構成されている。図5に示すリフレッシュアドレス発生回路17は、互いに直列に接続されているn-1個の1ビットシフトレジスタ1703からなる下位バイナリカウンタ1701と、2個の1ビットシフトレジスタ1703からなる上位バイナリカウンタ1702と、上位バイナリカウンタ1702を構成する2個の1ビットシフトレジスタ1703の出力の一方と、チップセレクト信号CSとをそれぞれ入力とする2個の2入力AND1710、1711とから構成されている。この場合、合計n+1個の各1ビットシフトレジスタ1703は制御信号RTのクロック数をカウントするn+1ビットのバイナリカウンタとして動作し、各1ビットシフトレジスタ1703の出力は制御信号RTのクロック数に対応してカウントアップする。この場合、下位バイナリカウンタ1701を構成するn-1個の1ビットシフトレジスタ1703の出力は、リフレッシュ動作を実行するメモリセルを指定するアドレス信号Arn～

Ar2を形成し、チップセレクト信号CSが“1”のときAND1711、1710は上位バイナリカウンタ1702を構成する2個の1ビットシフトレジスタ1703の出力をそのまま出力するので、2個の1ビットシフトレジスタ1703の出力がアドレス信号Ar1～Ar0を形成する。一方、本実施の形態においてはチップセレクト信号CSはスタンバイモードで“0”となるので、スタンバイモードではアドレス信号Ar1、Ar0はともに常時“0”となる。

【0026】ロウ・センスコントロール19は、制御信号C2に基づいて、リフレッシュに必要となるロウイネーブル信号RE、センスアンブイネーブル信号SE、プリチャージイネーブル信号PEを発生させるための回路である。ロウ・センスコントロール19は、リフレッシュ動作期間中に外部からのアクセス要求により生じるアドレス変化検出信号の立ち上がりタイミング、またはセルフリフレッシュのタイミングでロウイネーブル信号REにワンショットパルスを発生させてリフレッシュを起動する。ロウ・センスコントロール19は、また、ロウイネーブル信号REを所定時間遅延させてセンスアンブイネーブル信号SEを生成する。ロウ・センスコントロール19は、さらに、ロウイネーブル信号REを所定時間分遅延させた信号の立ち上がりから所定時間分のパルス幅を持ったワンショットパルスを発生させ、これをプリチャージイネーブル信号PEとして出力する。

【0027】次に、以上のように構成される本実施形態の半導体記憶装置の動作について説明する。

【0028】(1)チップセレクト信号CSが“1”の場合は、半導体記憶装置はアクティブモードで動作する。このモードでは、アドレス信号Addによってメモリセルアレイ10内のアクセス先を指定し、図示していない書き込みを指示するライトイネーブル信号または読み出しを指示するアウトプットイネーブル信号をアクティブにすることで、データバスを介してデータの書き込みまたは読み出し動作を行うことができる。この場合、タイマー16からは信号Tとして短い周期のクロック信号が出力されるので、セルアレイ(1)101～(4)104に対するリフレッシュ動作は短周期のリフレッシュサイクルで行われる。また、リフレッシュアドレス発生回路17からはリフレッシュアドレス信号Ar0～nとしてすべてのセルアレイ(1)101～(4)104に対応する値が出力されるので、すべてのセルアレイ(1)101～(4)104においてデータが保持される。

【0029】(2)チップセレクト信号CSが“0”の場合は、半導体記憶装置はスタンバイモードで動作する。このモードでは、タイマー16からは信号Tとして長い周期のクロック信号が出力される。また制御信号C1は“0”に設定される。また、リフレッシュアドレス発生回路17から発生される信号Ar0、Ar1は

“0”となる。この場合マルチプレクサ11, 12はリフレッシュアドレスArを選択するので、Ar0, Ar1=A0, A1=0, 0となり、エリア設定回路13によってA0, A1=0, 0およびプログラム回路14の出力P0, P1の値に基づいてアクティブとなったエリア選択信号B1~B4のいずれか1つの信号に対応する、セルアレイ(1)101~(4)104の中の1つのセルアレイがリフレッシュ動作の対象として選択される。そして、選択されたセルアレイ(1)101~(4)104の中から1つのセルアレイには、リフレッシュアドレス信号Ar2~nに一致するアドレス信号A2~nが供給されるとともに、長周期のリフレッシュサイクルでリフレッシュ動作が実行される。従って、セルアレイ(1)101~(4)104のうちの選択された1つのエリアにおいてのみデータが保持されることになる。

【0030】図6にチップセレクト信号CSとアドレス信号A0, A1の値を変化させたときのメモリセルアレイ10の各領域におけるデータの保持状態およびリフレッシュサイクルの周期の変化をまとめて示す。チップセレクト信号CSが“1”(=“H”; アクティブモード)の場合、アドレス信号A0, A1を0, 0~1, 1に変化させると、信号A0, A1が“0, 0”、“0, 1”、“1, 0”、“1, 1”のとき、プログラム回路14の状態に応じてセルアレイ(1)101~(4)104のいずれかが選択的にアクセス先に設定される。この場合、すべてのセルアレイ(1)101~(4)104に対して短周期のリフレッシュサイクルでリフレッシュ動作が実行される。一方、チップセレクト信号CSが“0”(=“L”; スタンバイモード)の場合、セルアレイ(1)101~(4)104のうちアドレスA0, A1=0, 0に対応するように設定されているただ1つセルアレイがアクセス先に設定されて、長周期のリフレッシュサイクルでリフレッシュ動作が実行され、セルアレイ(1)101~(4)104のうち残りの3つのセルアレイに対してはリフレッシュ動作が実行されなくなる。したがって、アドレス信号A0, A1=0, 0に対応するように設定されているセルアレイ(セルアレイ(1)101~(4)104のいずれか1つ)においてのみデータが保持されることになる。

【0031】なお、上記構成においては、チップセレクト信号CSが“1”のアクティブモードでは、すべてのセルアレイ(1)101~(4)104に対して共通に短い周期のリフレッシュサイクルによるリフレッシュ動作を行うこととしているが、例えば、アクティブモードにおいても、スタンバイモードにおいてデータを保持する領域に設定されている領域に対しては、アクティブモードにおいても長い周期のリフレッシュサイクルによるリフレッシュ動作を行うように変更してもよい。

【0032】以上述べたように本実施形態の半導体記憶

装置では、エリア選択用のアドレスA0, A1とメモリセルアレイ10との間にそれらの間の対応関係を切り換えるためのエリア設定回路13を設け、エリア設定回路13がアドレスA0, A1をそのまま通すか反転させるかすることで、外部から見たときのエリアと実際に内部でアクセスされるエリアが切り換えられるようになっている。そのため、例えば、外部アドレスAdd0, 1=0, 0でアクセスされるエリアをスタンバイ状態でデータを保持するためのエリアとする場合に、Add0, 1=0, 0でアクセスされるエリアをセルアレイ(1)~(4)のうちでホールド特性が良好なエリアとなるようにプログラム回路14を設定することができる。すなわち、外部からAdd0, 1=0, 0で指定される範囲のメモリ領域が、4つのエリアのうちホールド特性の良いエリアとなるようにプログラム(写像)可能なので、それによって製品としてのリフレッシュサイクルを長くすることが可能となり、スタンバイ状態の消費電流であるスタンバイ電流を小さくすることが可能となる。

【0033】エリア設定回路13における切り換え方法を設定する際には、どのエリアがホールド特性が良くどのエリアがホールド特性が悪いかを判定する必要がある。この判定はウェハの評価の段階で行い、その評価結果から得たデータを保持するためにプログラム回路14を半導体記憶装置に設けて、そのプログラム回路14に対してチップ毎にプログラミングを実施できるようにしている。このプログラミング(データの書き込み)は、上記の構成では例えば不良セル救済のためのリダンダンシ回路で使用されているフューズ回路と同様のものを使用することとしている。

【0034】本実施の形態では、プログラム回路14をホールド特性の評価結果に基づいてプログラムすることとし、さらにリフレッシュサイクルを変更(リフレッシュサイクルの切り換え)できるようにしている。このプログラムによって、メモリセルアレイの一部のデータを保持するスタンバイモードでは、ホールド特性が最も良いエリアでデータを保持するのに十分なだけの長い周期のリフレッシュサイクルを使用できるようにしている。しかしながら、メモリセルアレイ全体のデータを保持するモードのときにはホールド特性が最も良いエリアのセルよりもホールド特性の悪いセルが含まれたエリアをリフレッシュする必要があるため、ホールド特性が最も良いエリアのデータ保持の際のリフレッシュサイクルをそのまま使用することはできない。そこで、モードに応じたリフレッシュサイクルの切り替えを行うようにしている。

【0035】本実施形態では、ホールド特性の良いエリアをスタンバイ時のデータ保持エリアとして選択可能とし、スタンバイ時は選択されたエリアに対してのみリフレッシュを行い、そのリフレッシュサイクルをメモリセルアレイ全体をリフレッシュする場合のものよりも長く

するようにしている。長い周期のリフレッシュサイクルと短い周期のリフレッシュサイクルの設定にあたっては、ホールド特性が最も良いエリアのみリフレッシュするときのリフレッシュサイクルがメモリセルアレイ全体をリフレッシュするときのリフレッシュサイクルと如何なる関係にあるのか半導体記憶装置の製造テスト段階で測定し、この測定結果に基づいてホールド時間を適切なものに設定することが望ましい。ただし、ある程度予想がつけば、メモリセルアレイ全体をリフレッシュするときのリフレッシュサイクルの2倍、4倍、8倍等の固定値に設定することができる。

【0036】また、外部からリフレッシュを制御するメモリではリフレッシュサイクルが決められているが、本実施形態の疑似SRAMのように内部でセルフリフレッシュを行うようなものではチップ内部にタイマーを持っている。このタイマーをどの程度の周期で動作させるのかはウェハレベルの評価の際にトリミングで調整することができる。したがって、製品の実力（ホールド時間）に応じてタイマーの値をトリミングによって調整するようにしても良い。

【0037】本実施形態では、スタンバイ状態におけるデータ保持エリアを外部からみて特定のエリア（アドレス範囲）となるように固定させている。これに対して、システム側で半導体記憶装置を使用するにあたって、半導体記憶装置の仕様が複数のなかのどこかは指定されていないがあるエリアがデータ保持に適しているということとした場合に、そのエリアを使用するための制御を外部のシステム側で行うことも可能であるが、内部で実施するよりも複雑になることが考えられる。すなわち、どの領域のホールド特性が良いのかをシステム側で見る

（すなわち、例えばデータを書いてある時間経ってから読み出して比較することによって、出来が良いかどうかを判断するというような試験を行う）のはシステム側の負担が大きくなると予想される。そこで、本実施の形態では、実際にシステムを作る上での利便性を図るため、システムから見た場合にどの領域に大事なデータを入れるのかを予め決めておくようにしているのである。なお、例えば携帯電話にしても多数の会社があるため、各社にとって大事なデータを入れるエリアが異なっている場合が考えられるが、その場合も、本実施形態によれば、図3に示すようにプログラミングによってデータ保持エリアをアドレスAdd0, 1=0, 0に対応する領域とするのか、あるいはAdd0, 1=1, 1に対応するエリアにするのかといった仕様は、任意に変更可能である。

【0038】なお、本発明の半導体記憶装置の適用においては、例えばA社では1つのエリアに重要なデータを入れるが、B社ではメモリセルアレイの半分の領域（例えばアドレスAdd0, 1=0, 0と0, 1のアドレス範囲に対応するエリア）に重要なデータを入れるとい

た使用方法が考えられる。つまり、4エリアのうちホールド特性の良い方から2つのエリアを使うような使い方が要求される可能性がある。その場合も上記構成によれば図3に示すように、外部アドレスと対応するエリアの関係を4つのエリアに対して任意に設定可能なので、対応することが可能である。

【0039】なお、上記実施の形態ではメモリセルアレイ10を4つに分割することとしているが、メモリセルアレイを4つに分けるのではなくて、これを8つに分けてその中から良いものを2つ選択することでも、4つのエリアの中から1つのエリアだけを選択するようにしても同様のことが実現できる。ただし、8つのエリアに分割する場合は、エリア設定回路13とプログラム回路14の構成を変更し、2ビットの信号を、3ビットの選択信号に変換するような構成にするとともに、その変換をプログラム可能な構成にする必要がある。

【0040】なお、DRAMセルアレイにおいて、ホールド特性の悪いセルは完全にランダムに発生するのではなく、例えば、メモリセルアレイの端の部分では、製造上のばらつきが原因となってホールド特性の悪いセルが発生しやすくなる等のある規則性があることが考えられる。すなわち、例えば端の方では形状が崩れてくるためホールド特性の悪いセルが出やすいといったことが考えられる。そうした場合には、単純にX方向、Y方向の中心線を境にして正方形の4つのエリアに4等分すると各エリアに同じように端の部分ができるので好ましくない。そこで、例えばX方向又はY方向の何れかに短冊状に4分割して、端の部分が少ないエリアができるようにすることが考えられる。ただし、通常の疑似SRAMではワード線単位でリフレッシュできるようにしているため、ワード線方向のメモリセルは一括してリフレッシュされる。このため、分割にあたっては完全に自由に分割できるわけではなく、ある制約は受けることになる。このようにメモリセルの分割方法を決定する際には、ホールド特性の悪いセルが発生するときに規則性がある場合を想定するとともに、リフレッシュ時の回路構成を考慮して形状を非正方形にすることが望ましいことがあると考えられる。このようにエリア分割するにあたっては、ホールド特性の悪いセルの出現の規則性を意識することが望ましい。この場合、エリア設定回路13の回路構成としては、アドレスの変換範囲を限定し、例えばチップの端にあるエリアのアドレス変換はチップ単位で変更できないように固定してしまい、内側にあるエリアのアドレスに対してのみプログラミングによって、所定のアドレス範囲に対して任意のエリアを選択・割り当て可能とするようにして、回路規模を小さくすることが有効となると考えられる。

【0041】なお、上記実施形態では、メモリアレイ10を4つのエリアに分割し、アクティブモードではすべてのエリアに対してアクセスできるようにしているが、

例えば実際にはエリアを5つに分割しておいて、一番良いものをデータ保持に使用するとともに、スタンバイ電流を考慮してホールド特性の一番悪いエリアを外して使用しないというようにすることも考えられる。すなわち、複数のセルアレイに冗長性（リダンダンシ）を持たせるようにすることもできる。

【0042】また、メモリセルアレイを複数のバンクに分割した場合には、エリア設定回路13をバンク毎に設けるようにする。これによれば、例えば4バンクの16エリアのうちから各バンクの1エリア毎に任意の4エ

リアを選択するようにすることができる。
【0043】なお、上記実施形態では、エリア設定回路13内である規則に従ってアドレスおよびその反転信号のすべてを入れ替えるようにしているが、入れ替えを行う構成はそれに限定されることなく同様の入れ替えを行えるものであれば任意の位置で任意の方法によって行うことが可能である。例えば、2ビットの信号を4本の信号にデコードした後、デコード後の信号線に対して入れ替えを行うようにしてもよい。この場合、ある特定のエリアについてだけ信号の入れ替えを行って、あとのエ

リアについてはそのままといったことが可能である。
【0044】次に、図8を参照して、上述した図1に示す本発明の実施の形態の変形例について説明する。図8に示す半導体記憶装置は、図1の構成と比べ、外部入力コマンドの判定処理を行うコマンド判定回路20と、コマンド判定回路20での判定結果に基づいて記憶した信号を、スタンバイ時にデータ保持を行うアドレス空間を指定する信号C3としてプログラム回路14aおよびリフレッシュ発生回路17aへ出力するアドレスレジスタ

ー21とが追加されている。なお、図8において図1に示すものと同一の構成には同一の符号を付けている。
【0045】上述した図1に示す実施形態では、外部入力アドレスと、その変換先である内部アドレスとの対応関係が、例えばフューズ切断等によって製品出荷前に決定されるようになっている。図8に示す変形例では、フューズ回路に加え、リフレッシュ対象のアドレス空間を記憶する記憶手段であって、オンボードでの書き換えが可能な不揮発性メモリや、SRAM（つまりCMOS

（相補型金属酸化物半導体）論理のフリップフロップ）、DRAM等の揮発性メモリをアドレスレジスター21として使用するようにしている。すなわち、ユーザーがアドレスレジスター21に変換先のアドレスを予め格納しておくことで、スタンバイモードにおいてデータを保持するエリアに対応する外部入力アドレスを設定できるようにしている。これによれば、図1の構成に比べ、システム設計の自由度を上げることができる。なお、アドレスレジスター21としてフラッシュメモリ等の不揮発性メモリを使用する場合には、一旦情報を書き込んでしまえば、装置の電源がオフした後も記憶した情報を保持することができる。しかし、揮発性メモリを

使用する場合には、電源オフ時に書き込んだ情報が消えてしまうので、電源をオンする度に情報を設定し直す必要がある。ただし、設定するデータ量はさほど大きくはないので（例えばこの実施形態では2ビットのデータ1つ）、この処理自体はシステム的には大きな負担とならないと考える。例えば、アドレスレジスター21に設定するデータを外部のフラッシュメモリにも書き込んでおいて、電源オン時にソフトウェア上でデータをRAMに転送してやれば、電源オフ前の状態が再現される。

【0046】図8において、コマンド判定回路20は、外部入力コマンドが、リフレッシュアドレス空間設定用のコマンドとして予め決められたコマンドに一致するかどうかを判定する回路である。外部入力コマンドは、専用の入力端子（外部ピン）を使用して入力するようにしてもよいし、既存の端子の組み合わせによる状態設定を利用して入力するようにしてもよい。アドレスレジスター21は、不揮発性のメモリ等からなり、コマンド判定回路20によってアドレス空間設定用のコマンドが入力されていると判定されているときに、アクセスアドレスAddのうちの上位2ビットのアドレスAdd0, 1を取り込んで記憶する。アドレスレジスター21は、コマンド判定回路20によって再度、設定用のコマンドが入力されたと判定されるまで現在の記憶値を保持し、記憶している値（この場合2ビットの信号）を信号C3として出力する。ここで、信号C3のうちアドレスAdd0, 1に対応する各ビットの値を信号C3（A0）, C3（A1）とする。一方、リフレッシュアドレス発生回路17aは、リフレッシュアドレスを発生する際に、上位の2ビットのアドレス値をアドレスレジスター21が出力する値C3（A0）, C3（A1）に等しくなるように設定する。

【0047】図9は、図8に示すプログラム回路14aの構成例を示す回路図である。図9において図2に示すプログラム回路14内の構成要素と同一のものには同一の符号を付けている。ただし、図9では、信号P1, P0を、プログラム回路14a全体の出力（エリア設定回路13の入力）として、インバータ1408, 1403の出力信号をそれぞれ信号X1, X0としている。この場合、プログラム回路14aは、スタンバイ時にリフレッシュされるセルアレイ（1）101～（4）104を設定するための信号X0, X1の生成回路の他に、アドレスレジスター20の出力C3（A0）, （A1）に基づいて、信号X0, X1のレベルを変換して出力P0, P1を生成する組み合わせ論理回路を備えている。組み合わせ論理回路は、信号P0, P1をそれぞれ出力する2個の4入力OR回路1421, 1422と、8個の3入力AND回路1431～1438、および4個のインバータ1441～1444から構成されている。この構成において信号P0を表す論理式は $P0 = \neg X0 \cdot \neg X1 \cdot \neg A1 + \neg X0 \cdot X1 \cdot \neg A1 + X0 \cdot \neg X1 \cdot A1$

$1 + X0 \cdot X1 \cdot A1$ であり、信号P1を表す論理式は
 $P1 = \neg X0 \cdot \neg X1 \cdot \neg A0 + \neg X0 \cdot X1 \cdot A0 +$
 $X0 \cdot \neg X1 \cdot \neg A0 + X0 \cdot X1 \cdot A0$ である。ただ
 し、A0、A1はC3 (A0)、(A1)を意味してい
 る。図10に入力信号C3 (A0)、(A1)およびX
 0、X1と、出力信号P0、P1との関係を示す。

【0048】図10は、上記論理式に基づく、信号X
 0、X1とスタンバイ時にリフレッシュされるセルア
 レイ(1)101~(4)104(図10ではセルアレ
 イ選択信号B1~B4として表示)との関係、ならびに、
 信号X0、X1およびアドレスレジスタ20の出力C
 3 (A0)、(A1)と、出力信号P0、P1との関係
 を示している。セルアレイ(1)101(信号B1)を
 スタンバイ時にリフレッシュする場合にはフューズ回路
 1406、1401をともに切断して信号X0、X1を
 0、0に設定する。セルアレイ(2)102(信号B
 2)をスタンバイ時にリフレッシュする場合にはフュー
 ズ回路1406のみを切断して信号X0、X1を1、0
 に設定する。セルアレイ(3)103(信号B3)をス
 タンバイ時にリフレッシュする場合にはフューズ回路1
 401のみを切断して信号X0、X1を0、1に設定す
 る。セルアレイ(4)104(信号B4)をスタンバイ
 時にリフレッシュする場合にはフューズ回路1401、
 1406を切断せずに信号X0、X1を1、1に設定す
 る。そして、信号X0、X1が、いずれかの状態に設定
 して、信号C3 (A0)、(A1)をアドレスレジスタ
 20から出力すると、出力P0、P1として図10に
 示すような信号が出力される。

【0049】例えば、セルアレイ(2)102(信号B
 2)をスタンバイ時にリフレッシュするエリアに設定
 し、なおかつアクセスアドレスAdd0、1=0、1を
 セルアレイ(2)102に対応付けるように設定する場
 合、入力信号はそれぞれX0、X1=1、0、C3 (A
 0)、(A1)=0、1となる。この場合、 $X0 \cdot \neg X1 \cdot A1$
 $(P0の右辺第3項) = 1$ 、 $X0 \cdot \neg X1 \cdot \neg A0$
 $(P1の右辺第3項) = 1$ であり、図10に示すよう
 に、出力信号P0、P1は1、1となる。図3を参照
 して説明したように、P0、P1=1、1の場合、ア
 クセスアドレスAdd0、1=0、1に対応するアドレ
 スA0、A1が0、1のとき、選択されるのは、セルア
 レイ選択信号B2である。よって、アクセスアドレ
 スAdd0、1=0、1のとき、セルアレイ(2)102が選
 択されてアクセスされるとともに、チップ選択信号CS
 が非活性化されたときは、セルアレイ(2)102のみ
 がリフレッシュ対象となる。他の例として、セルアレ
 イ(2)104(信号B2)をスタンバイ時にリフレ
 ヂッシュするエリアに設定し、なおかつアクセスアドレ
 スAdd0、1=1、1をセルアレイ(2)102に対応付
 けるように設定する場合は、入力信号がそれぞれX0、
 X1=1、0、C3 (A0)、(A1)=1、1となる。

この場合、出力信号P0、P1は、図10に示すよう
 に、1、0となる。図3を参照して説明したように、P
 0、P1=1、0の場合、アドレスA0、A1が1、1
 のときに選択されるのはセルアレイ選択信号B2であ
 る。したがって、アクセスアドレスAdd0、1=1、
 1のとき、セルアレイ(2)102が選択されてアク
 セスされるとともに、チップ選択信号CSが非活性化さ
 れたとき、セルアレイ(2)102のみがリフレッシュ対
 象となる。

【0050】以上のように、図8および図9に示す構成
 によれば、任意のエリアをスタンバイ時のリフレ
 ヂッシュエリアに設定できるとともに、そのエリアに対
 応する任意のアクセスアドレスAdd0、1の値を外
 部から任意の値に設定することができる。なお、
 図8および図9は、実施の形態の構成例の一例を示
 したものであって、例えば上記の組み合わせ論理回
 路に代えてトランスファークロスをを用いた構成を
 採用するなど適宜設計変更することが可能である。

【0051】

【発明の効果】以上説明したように本発明によれば、
 複数のダイナミック型メモリセルを有し少なくとも
 2つのエリアに分割されたメモリセルアレイを含む
 半導体記憶装置において、第1のリフレッシュ用制
 御信号と第1のリフレッシュ用制御信号よりも長い
 周期の第2のリフレッシュ用制御信号とを発生する
 リフレッシュ用制御信号発生手段と、複数のエリア
 からメモリセルのホールド特性に基づいて決めら
 れた任意のエリアを第1のエリアとして設定する
 プログラム可能な第1の設定手段、または、複数
 のエリアから任意のエリアを第1のエリアとして
 設定するプログラム可能な第1の設定手段と、待機
 状態において第1のエリアに対して第2のリフレ
 ヂッシュ用制御信号に基づくリフレッシュ動作を行
 うリフレッシュ動作制御手段とを設けている。この
 ため、待機状態では、メモリセルのホールド特性
 が良好なエリアのみを対象に、ホールド特性に合
 わせた長いリフレッシュ周期でリフレッシュする
 ことが可能となり、容易に待機状態における平均
 消費電流を従来よりも低減することができ

【図面の簡単な説明】

【図1】 本発明の一実施形態による半導体記憶装置
 の構成を示すブロック図である。

【図2】 図1のエリア設定回路13およびプログラ
 ム回路14の詳細構成を示した回路図である。

【図3】 図2のエリア設定回路13およびプログラ
 ム回路14の動作一覧を示す図表である。

【図4】 図1のタイマー16の詳細構成を示した回
 路ブロック図である。

【図5】 図1のリフレッシュアドレス発生回路17
 の詳細構成を示した回路図である。

【図6】 図1の半導体記憶装置の動作を説明するた
 め

の図表である。

【図7】 メモリセルのセル数とホールド特性の関係の一例を示す図である。

【図8】 本発明の他の実施形態による半導体記憶装置の構成を示すブロック図である。

【図9】 図8のプログラム回路14aの詳細構成を示した回路ブロック図である。

【図10】 図9のプログラム回路14aの動作一覧を示す図表である。

【符号の説明】

10 メモリセルアレイ

11, 12 マルチプレクサ

13 エリア設定回路

14, 14a プログラム回路

15 ATD

16 タイマー

17, 17a リフレッシュアドレス発生

18 リフレッシュコントロール

19 ロウ・センスコントロール

20 コマンド判定回路

21 アドレスレジスター

101 セルアレイ (1)

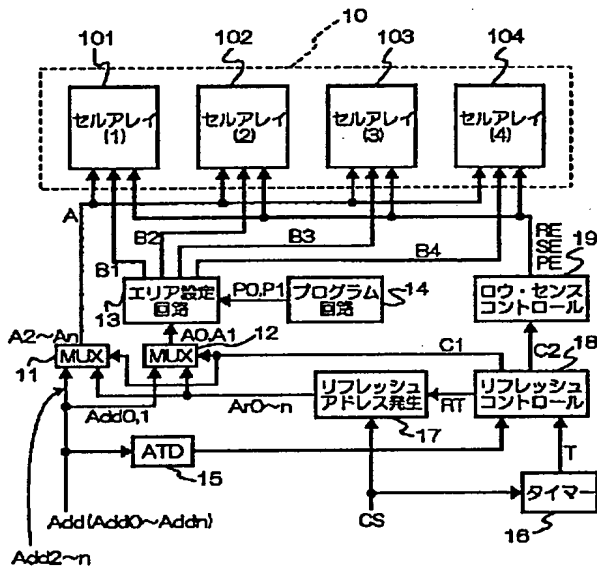
102 セルアレイ (2)

103 セルアレイ (3)

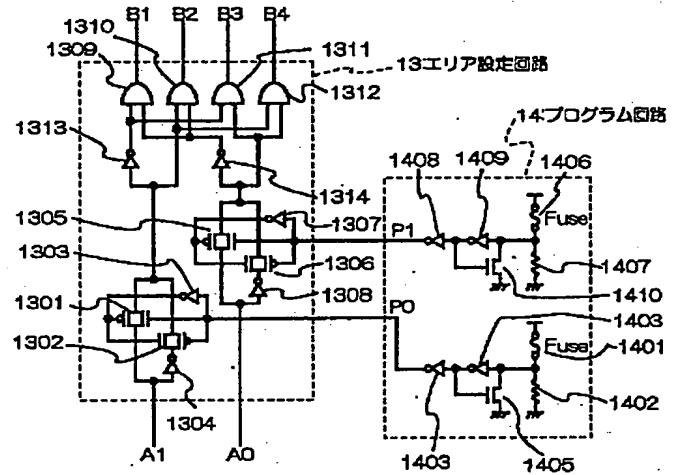
104 セルアレイ (4)

1703 シフトレジスタ

【図1】



【図2】

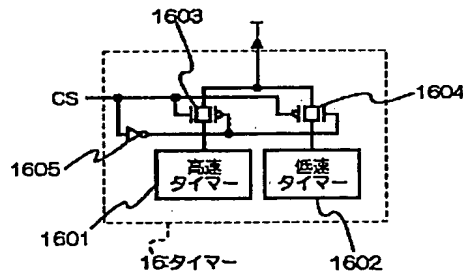


【図6】

【図3】

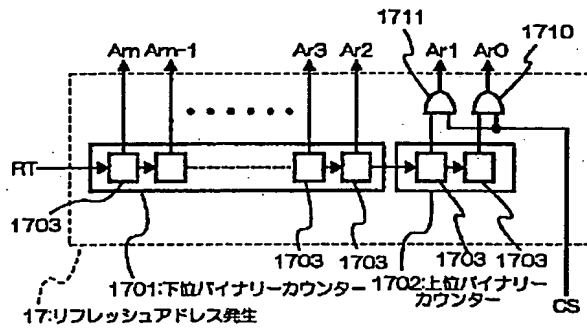
A0	A1	PO/P1			
		0/0	0/1	1/0	1/1
0	0	B4	B2	B3	B1
0	1	B3	B1	B4	B2
1	0	B2	B4	B1	B3
1	1	B1	B3	B2	B4

【図4】

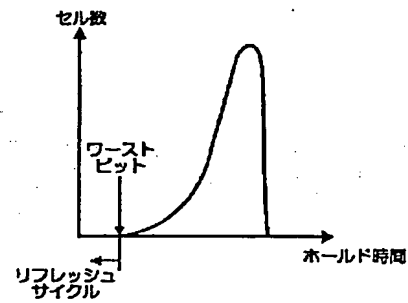


A0	A1	CS	
		H(アクティブ)	L(スタンバイ)
0	0	データ保持 (短周期)	データ保持 (長周期)
0	1	データ保持 (短周期)	データ非保持
1	0	データ保持 (短周期)	データ非保持
1	1	データ保持 (短周期)	データ非保持

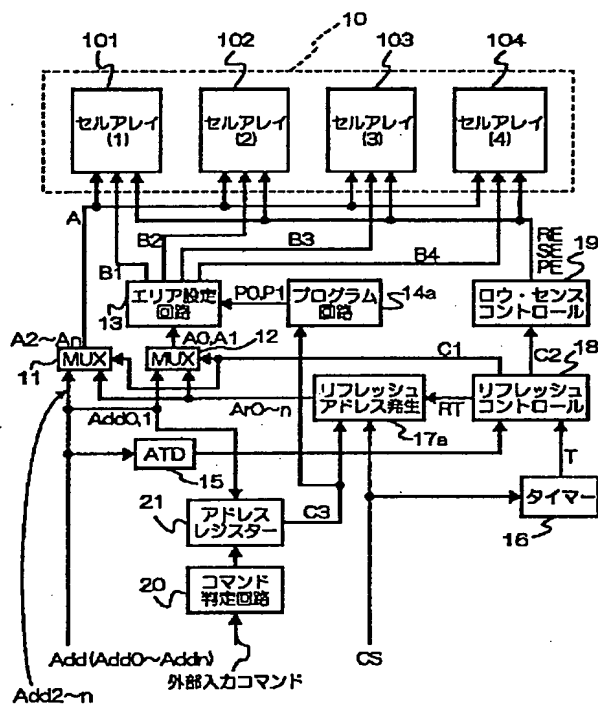
【図5】



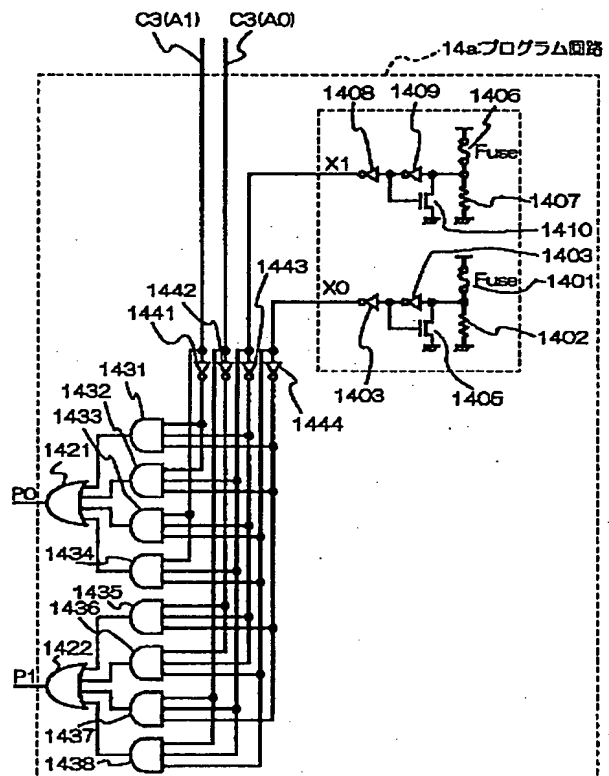
【図7】



【図8】



【図9】



【図10】

C3		スタンバイ時に活性化する セルアレイ選択信号			
		B1	B3	B2	B4
IA0	(A1)	X0/X1			
0	0	1	1	1	0
0	1	0	1	0	0
1	0	1	0	1	1
1	1	0	0	0	1
		P0	P1	P0	P1